

引用格式: 邝锐, 彭斐, 张永强, 等. 一种针对 QCA 电路的门级布局布线算法设计[J]. 微电子学与计算机, 2021, 38(9): 79-84.
[KUANG R, PENG F, ZHANG Y Q, et al. A gate-level placement and routing algorithm design for QCA circuits [J]. Micro-electronics & Computer, 2021, 38(9): 79-84.]

一种针对 QCA 电路的门级布局布线算法设计

邝 锐, 彭 斐, 张永强, 解光军

(合肥工业大学 电子科学与应用物理学院, 安徽 合肥 230009)

摘 要: 量子点元胞自动机(QCA)被认为是克服传统 CMOS 局限性的一种极有前景的解决方案. 近年来, QCA 电路的自动化设计工具的开发越来越受到研究者的关注, 布局和布线算法则是其中至关重要的一环. 算法设计的关键问题是时钟方案和时钟同步性约束. 本文提出了一种门级布局和布线算法, 在时钟方案约束的布局区域内预先计算和缓存路径信息, 并应用深度优先搜索策略搜索正确的电路布局布线结果. 该算法采用 C++ 编程语言实现, 仿真结果验证了算法的正确性.

关键词: 量子元胞自动机; 布局布线算法; 深度优先搜索

中图分类号: TP391. 9

文献标识码: A

文章编号: 1000-7180(2021)09-0079-05

A gate-level placement and routing algorithm design for QCA circuits

KUANG Rui, PENG Fei, ZHANG Yongqiang, XIE Guangjun

(School of Electronic Science and Applied Physics, Hefei University of Technology, Hefei 230009, China)

Abstract: Quantum-Dot Cellular Automata (QCA) is considered as a promising solution to overcome the limitations of conventional CMOS. Recently, the development of automated design tools for QCA circuits has attracted more and more attention from researchers, where the placement and routing algorithm is a critical step. The key issue of an algorithm design is the constraints of a clock scheme and clock synchronization. A gate-level placement and routing algorithm is proposed. The path information is pre-calculated and cached within the layout region constrained by the clock scheme, and the depth-first search strategy is applied to search for the correct circuit placement routing results. The algorithm is implemented in C++ programming language, and simulation results verify the correctness of the proposed algorithm.

Key words: quantum-dot cellular automata; placement and routing algorithm; depth first search

1 引言

随着 CMOS 器件的特征尺寸不断逼近其物理极限, 如短沟道效应、互连延时、掺杂波动等问题亦日益凸显, 成为集成电路进一步发展的重大挑战和阻碍. 因此, 研究者开始积极寻找替代的解决方案. 由 Lent 提出的量子元胞自动机(Quantum-Dot Cellular Automata, QCA)^[1]则是其中一种极具前景的新型纳米器件. QCA 的基本单元是元胞, 具有双稳

态特性, 符合信息的二进制编码原则; 元胞之间的局部场作用力实现信息的处理和传递. 因此, 通过元胞的不同排布可以实现不同功能的逻辑电路, 完成相应的电路设计. 另外, QCA 元胞具有高工作频率、低功率、无静态功耗、纳米尺寸等优点^[2], 成为当前的一个热门研究领域.

QCA 电路设计不断成熟, 朝着大型化、复杂化和系统化方向发展, 当前手动设计电路的模式越来越不能满足研究者的需求, 迫切需要电路自动

化设计工具以提高电路设计的效率. 其中, 电路的自动布局布线算法将电路网络在相关约束条件下自动放置逻辑节点, 根据电路的连接关系自动形成连线, 完成电路设计, 是实现电路自动化设计的关键环节和主要技术难点, 也是当前 QCA 技术研究的重要方向.

Niemier 及其团队^[3-4]最早提出和实现了 QCA 电路的自动布局布线算法方案; Chung^[5]和 Bubna^[6]等人重点考虑了布局布线时的线路优化问题; Janez^[7]探讨了 QCA 电路在一维时钟方案下自动布局布线的具体实现; 2018 年, Walter 等人提出自动设计工具 Fiction, 包括确定性算法的 Exact 方案^[8]和正交绘图算法的 OGD(Orthogonal Graph Drawing, OGD)方案^[9], 是布局布线在确定性问题求解和正交绘图算法领域的探索; Formigoni 等人^[10]提出布局布线的通用设计框架 Ropper, 将设计流程模块化, 可探索不同电路参数设置下的布局布线. 目前, QCA 电路的布局布线算法已有多种不同的实现方案, 各有优劣, 但总体上发表的论文成果数量还很有限, 算法设计仍然处于一个初级的探索阶段.

本文总结了 QCA 电路布局布线算法设计中需要考虑的几个重点问题和难点, 并提出了一种新的门级布局布线算法方案.

2 布局布线算法设计的重点问题

QCA 是一种新型纳米器件, 信息的处理和传递与 CMOS 完全不同, 在自动布局布算法设计时必须考虑电路设计的相关规则和约束.

2.1 时钟方案

在 QCA 电路中, 需要外部提供时钟以调节元胞的极化状态, 时钟有两个作用: 一是同步控制电路中信息的传输, 二是提供信息传输所需的能量. QCA 电路一般是四相时钟系统^[11], 元胞的时钟被编号为时钟 1、2、3、4, 在每个完整的时钟周期内包括四种变化状态: Switch→Hold→Release→Relax. QCA 电路信息的正确传递从时钟 1 时钟 2→时钟 3→时钟 4→时钟 1, 相邻时钟之间有 90°的相位差, 非相邻时钟的元胞互不影响. 因此, 时钟是布局布线算法设计必须考虑的关键问题.

时钟方案是研究者根据 QCA 电路时钟系统的特点人为指定各时钟区域大小、分配时钟信号和规定信号传递方向的一种时钟排布策略, 比如一维时钟、USE^[12]、2DDWave^[13]等. QCA 电路的自动布局布线算法必须在时钟方案约束下放置逻辑门和传

输线.

2.2 时钟同步性约束

在 QCA 电路设计时, 必须考虑时钟同步性, 即“layout = timing”^[14]问题. 时钟同步要求所有输入信号的再收敛路径长度(即信号经过的时钟数目)必须相等, 即信号从一个逻辑节点分开后又到达同一节点时所经过的不同路径必须相等, 确保输入信号始终以同步的方式到达目的逻辑门, 实现正确的逻辑功能. 因此, 当信号的再收敛路径长度不相等时, 必须在电路网络图中插入虚拟节点平衡路径, 虚拟节点在实际的 QCA 电路中是传输线.

3 QCA 电路的门级布局布线算法设计

本文提出了一个 QCA 电路的门级布局布线算法, 首先对 QCA 电路自动布局布线问题建模以便于算法描述和实现, 即自动布局布线是将给定电路解析得到节点网络图, 再根据节点图的层级顺序依次将每一层级的节点放置到布局图中, 最后在相关约束条件下连接线路. USE 时钟方案是规则的双向时钟, 易于计算机程序的实现且可以优化最终布局的面积, 因此, 算法采用 USE 时钟方案; 通过规定任意相邻层级之间的距离实现时钟同步.

3.1 算法框架

本文提出的门级布局布线算法的基本框架如图 1 所示, 主要包括三个部分: (1) Verilog/VHDL 格式的电路文件的输入及其解析. 算法的输入是 Verilog/VHDL 格式的电路文件, 解析后转化为有向无环图, 节点表示电路的逻辑门, 连接线表示传输线. (2) 网格图的初始化及其路径计算. 算法定义了一个类似于棋盘的网格, 节点和线路放置与网格中. (3) 布局布线引擎. 将解析后的节点网络图与定义的网格图联系起来, 节点放置到网格合适的位置并进行线路的连接.

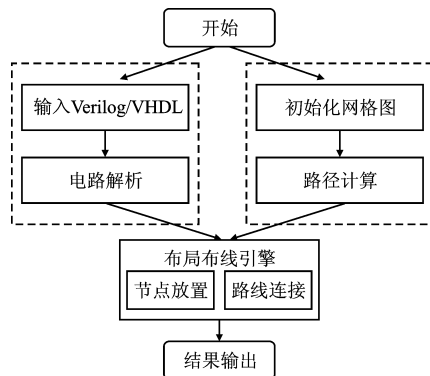


图 1 算法框架图

3.2 算法实现

3.2.1 电路解析

自动布局布线算法的处理对象是电路有向无环图,因此,先对电路进行解析. 算法采用 MockturtleLibrary^[15]作为解析库,将 Verilog/VHDL 格式的电路解析为择多门-反向器网络图 (Majority-Inverter Graph, MIG). MIG 图是一种特殊的有向无环图,图中节点仅包含择多门、反向器两种节点,更符合 QCA 电路的特点. Mockturtle Library 在解析时优化节点的排列分布,减少了线路交叉;同时对图从输入节点到输出节点划分层级,降低了节点放置的复杂度. 另外,解析库提供了完善的访问函数,算法通过对部分函数再封装实现对图的相关信息的便捷访问.

3.2.2 路径计算与缓存

算法定义了一个类似于棋盘格的布局图,并用 USE 时钟方案严格约束布局图中的数据流方向. 如图 2 所示,算法在节点放置和路由之前计算和缓存布局图中任意两个网格位置之间的可能路径,当路径存在时则必然满足 USE 时钟方案的约束. 在实际的节点路由阶段,布局布线算法则可以简单的通过在所缓存的路径中检查节点与其扇入节点之间是否存在路径以判断两个节点是否可以实际路由连接,简化了节点的路由过程. 任意两个点间路径计算及缓存的过程如算法 1 所示.

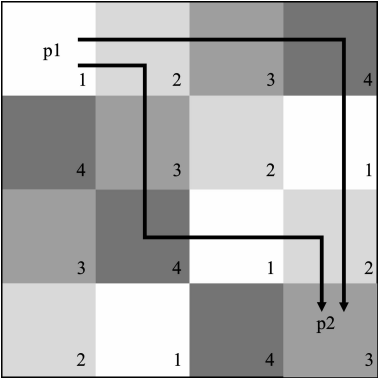


图 2 路径计算示意图

Algorithm1 Paths Computing Algorithm in the Clocked Layout Surface
Input: Two Point p1 and p2 in Layout Grid
Output: Routings Between p1 and p2
1: position_queue $\leftarrow \phi$
2: routing_queue $\leftarrow \phi$
3: push p1 into position_queue
4: push (p1) into route_queue
5: mark all the grid to be not visited
6: while position_queue is not empty do
7: current_position $\leftarrow$ position_queue. front and pop queue

8: current_route $\leftarrow$ route_queue. front and pop queue
9: if current_position is p2 then
10: mark current_route as possible routing between p1 and p2
11: end if
12: for direction D $\in$ {left, right, up, down} do
13: if the D direction point of current point has not been visited and there exists a proper data flow in clock zone then
14: push in into position_queue
15: add it to the current_route
16: push current_route into route_queue
17: mark the point to be visited
18: end if
19: end for
20: end while

3.2.3 布局布线算法

电路网络图节点的布局布线是算法设计的核心,包括节点的放置和节点之间路径的路由两个部分. 算法采用分层级放置节点的思想,将节点网络图从输入节点到输出节点以解析后的层级顺序一一放置到布局图中. 节点位置的计算与确定则采用 Ropper^[10]中的方案,首先将输入节点放置在布局图的中心位置,设定相邻层级间的距离,由此除输入节点外的每一层级节点的位置便可由其扇入节点的位置推导计算而得. 因此,节点的放置过程既满足节点网络图的连接关系,并且通过设定层级距离的满足了时钟同步性要求,考虑到 USE 时钟为四相时钟,在算法实现时将距离固定为 4. 在节点路径路由阶段,首先检查节点与其扇入节点之间在算法 1 计算缓存的路径中是否存在,再判断该路径能否正确路由.

在布局布线过程中,每个节点至少有一个可以放置的候选位置,这些不同节点的不同放置位置的组合便构成了布局布线问题的解决方案空间. 此外,某一个层级上的节点的位置及其路径路由受前一个层级的布局布线结果影响,因此,解决方案空间具有与逻辑节点网络相一致的分层级结构. 算法 2 是布局布线顶层算法的实现过程,利用深度优先搜索算法的搜索策略,在解空间中不断的迭代搜索出一个可行的解. 当在某一个层级节点的候选位置组合中存在有效的位置组合时,则算法继续迭代;若不存在有效的位置组合,则发生回溯,返回前一层级. 其中,有效位置组合是指所有节点均可在布局图中成功放置并且与其扇入节点可以成功路由的节点位置组合,当每一层级均为有效组合时即构成布局布线的一个可行解.

Algorithm2 P&R Algorithm Based on Depth-First Search
Input: a logic network N and a clocked layout surface

Output: positions of logic gates and routings between them

```
1: current_level←0
2: setup a stack to save candidate positions
3: while current_level < depth of graph do
4:   if current_level has not been initialized then
5:     if current level is primary inputs then
6:       initialize the primary inputs
7:     else
8:       compute candidate positions for the nodes of current level
9:   end if
10:  mark current level as initialized
11:  place the nodes of current level
12:  if all placement compositions are invalid then
13:    clear placements of current level
14:    current_level=current_level-1
15:  end if
16: end if
17: if exists a possible placement composition then
18:   if exists routing solutions for them then
19:     current_level=current_level +1
20:   end if
21: else
22:   if current_level = 0 then
23:     return false
24:   else
25:     clear placements and routings in layout
26:     current_level=current_level-1
27:   end if
28: end if
29: return true
30: end while
```

4 结果比较与分析

本文提出的 QCA 门级布局布线算法采用 C++ 编程语言实现,并在一台 IntelCore9700F CPU 和 16GB 内存的台式电脑上进行仿真测试. 最终输出的布局布线结果了包括节点的层级信息、节点的位置坐标和路径的位置坐标等内容,并以 JSON 格式文件缓存. 仿真结果如表 1 所示,本文算法和 Ropper 方案在运行时间和最终布局布线面积上的比较. 与 Ropper 相比,布局布线最终结果的面积大致相同,处于同一水平. 但是本文提出的算法在执行效率上要上比 Ropper 方案快的多,算法运行时间较短. 根据总运行时间,可以看出缓存算法也更加高效. 此外,由于缓存只执行一次,在算法的长期运行中,摊销运行时间往往接近布局布线的实际时间,而 Ropper 则并非如此. 如图 3 所示,是 ISCAS 基准中 C17 电路的一个门级的布局布线结果. 节点代表电路逻辑门,线路代表传输线,算法通过设置相关的程序参数使得同一个网格点最多可由三根传输线占据,一

根传输线和一个逻辑节点也可以共享同一个网格. 布局结果符合实际 C17 电路的数据通路,同时也满足了 QCA 电路的时钟约束和同步性约束.

表 1 仿真结果

circuit	this work			Ropper ^[10]		
	area	pr time	total time	area	pr time	total time
C17	72	0.95 ms	2.92 s	80	275.53 ms	16.83 s
Mux21	35	0.17 ms	2.67 s	30	153.83 ms	16.34 s
1bitadder	16	0.11 ms	2.683 s	16	275.53 ms	16.36 s

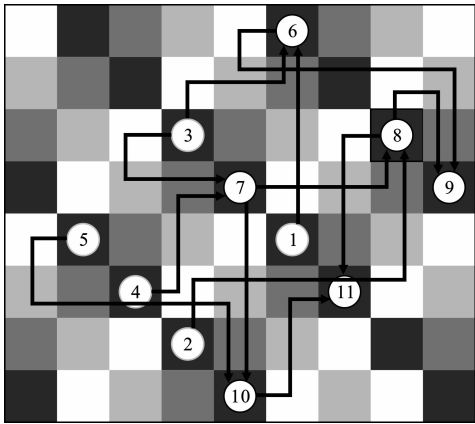


图 3 C17 电路布局布线图

5 结束语

本文首先对当前 QCA 电路的布局布线算法进行了简要综述,总结了在布局布线中需考虑的几个重点问题,提出并实现了一个门级的布局布线算法. 算法包括电路图的解析、布局图路径信息的计算与缓存,然后采用深度优先搜索算法搜索各层级节点的有效位置组合及其线路路由. 算法仿真结果验证了路径缓存机制和布局布线算法的有效性. 目前而言,基于深度搜索的算法可能找不到最优的解,对于大规模电路的布局布线效率也有限,但它为后续自动布局布线算法设计提供了一个很好的研究起点,为向大规模电路设计方向发展、进一步提高布局布线效率等打下了基础.

参考文献:

[1] LENT C S, TOUGAW P D. A device architecture for computing with quantum dots[J]. Proceedings of the IEEE, 1997, 85 (4): 541-557. DOI: 10.1109/5.573740.

[2] KIM K, WU K J, KARRI R. Quantum-dot cellular automata design guideline[J]. IEICE Transactions on Fundamentals of Electronics, Communications and

- Computer Sciences, 2006, E89-A(6): 1607-1614. DOI:10.1093/ietfec/e89-a.6.1607.
- [3] ANTONELLI D A, CHEN D Z, DYSART T J, et al. Quantum-dot cellular automata (QCA) circuit partitioning: problem modeling and solutions[C]//Proceedings of the 41st annual Design Automation Conference. San Diego: ACM, 2004: 363-368. DOI: 10.1145/996566.996671.
- [4] RAVICHANDRAN R, LADIWALA N, NGUYEN J, et al. Automatic cell placement for quantum-dot cellular automata[C]//Proceedings of the 14th ACM Great Lakes symposium on VLSI. Boston: ACM, 2004: 332-337. DOI: 10.1145/988952.989033.
- [5] CHUNG W J, SMITH B, LIM S K. Node duplication and routing algorithms for quantum-dot cellular automata circuits[J]. IEEE Proceedings-Circuits, Devices and Systems, 2006, 153(5): 497-505. DOI: 10.1049/ip-cds:20050278.
- [6] BUBNA M, ROY S, SHENOY N, et al. A layout-aware physical design method for constructing feasible QCA circuits[C]//Proceedings of the 18th ACM Great Lakes symposium on VLSI. Orlando: ACM, 2008: 243-248. DOI: 10.1145/1366110.1366170.
- [7] JANEZ M, PECAR P, MRAZ M. Layout design of manufacturable quantum-dot cellular automata[J]. Microelectronics Journal, 2012, 43(7): 501-513. DOI: 10.1016/j.mejo.2012.03.007.
- [8] WALTER M, WILLE R, GROßE D, et al. An exact method for design exploration of quantum-dot cellular automata[C]//Proceedings of 2018 Design, Automation & Test in Europe Conference & Exhibition (DATE). Dresden: IEEE, 2018: 503-508. DOI: 10.23919/DATE.2018.8342060.
- [9] WALTER M, WILLE R, TORRES F S, et al. Scalable design for field-coupled nanocomputing circuits[C]//Proceedings of the 24th Asia and South Pacific Design Automation Conference. Tokyo: ACM, 2019: 197-202. DOI: 10.1145/3287624.3287705.
- [10] FORMIGONI R E, FERREIRA R S, NACIF J A M. Ropper: a placement and routing framework for field-coupled nanotechnologies [C]//Proceedings of 2019 32nd Symposium on Integrated Circuits and Systems Design. Sao Paulo: IEEE, 2019: 1-6. DOI: 10.1145/3338852.3339838.
- [11] HENNESSY K, LENT C S. Clocking of molecular quantum-dot cellular automata[J]. Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures, 2001, 19(5): 1752-1755. DOI: 10.1116/1.1394729.
- [12] CAMPOS C A T, MARCIANO A L, NETO O P V, et al. USE: a universal, scalable, and efficient clocking scheme for QCA[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2016, 35(3): 513-517. DOI: 10.1109/TCAD.2015.2471996.
- [13] VANKAMAMIDI V, OTTAVI M, LOMBARDI F. Two-dimensional schemes for clocking/timing of QCA circuits[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2008, 27(1): 34-44. DOI: 10.1109/TCAD.2007.907020.
- [14] NIEMIER M T, KOGGE P M. Problems in designing with QCAs: Layout = timing[J]. International Journal of Circuit Theory and Applications, 2001, 29(1): 49-62. DOI: 10.1002/1097-007X(200101/02)29:1<49::AID-CTA132>3.0.CO;2-1.
- [15] SOEKEN M, RIENER H, HAASWIJK W, et al. The EPFL logic synthesis libraries[J]. arXiv preprint arXiv: 1805.05121, 2018.

作者简介:

邝 锐 男, (1994-), 硕士研究生. 研究方向为量子电路设计及算法开发.

彭 斐 男, (1985-), 博士研究生. 研究方向为量子电路自动化设计工具开发和算法设计.

张永强 男, (1991-), 博士, 讲师, 硕士生导师. 研究方向为微纳电路与系统、随机计算.

解光军(通讯作者) 男, (1970-), 博士, 教授, 博士生导师. 研究方向为微纳电路与系统、集成电路设计.

E-mail: gjxie8005@hfut.edu.cn.